

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181323

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

H01L 29/786

H01L 27/12

(21)Application number : 06-324607

(71)Applicant : HITACHI LTD

HITACHI DEVICE ENG CO LTD

(22)Date of filing : 27.12.1994

(72)Inventor : SHIMAMOTO HIROMI

HORIUCHI KATSUTADA

KIYOTA YUKIHIRO

UCHINO TAKASHI

ONISHI KAZUHIRO

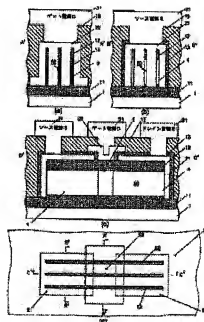
SHIBA TAKEO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a MOSFET which has no misalignment between gates faced so as to sandwich a channel region, has a small parasitic capacitance and a small characteristic irregularity, and is of double-gate SOI structure.

CONSTITUTION: A plurality of towering silicon rectangular parallelepipeds 50 are formed on a substrate 1 via an oxide film 11. A polycrystal silicon film 22 which comes into contact, via a gate oxide film 14, with a channel region 3 as a part on the large-area surface and the large-area rear for every rectangular parallelepiped is patterned by one photoetching process, and gates are formed. A source region and a drain region 4 are derived to respective electrodes S, D composed of aluminum 31 by means of a polycrystal silicon film 21. In gaps between the parallelepipeds 50, the polycrystal silicon film 21 is buried in a gate part (a), and the polycrystal silicon film 22 is buried in a source part (b) and a drain part.



特開平8-181323

(43) 公開日 平成8年(1996)7月12日

(51) Int. Cl.⁶

H 0 1 L 29/786

27/12

識別記号

片内整理番号

Z

F I

技術表示箇所

H 0 1 L 29/ 78

6 1 8 C

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平6-324607

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 島本 裕巳

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(72) 発明者 堀内 勝忠

東京都国分寺市東窓ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 葛田 利幸

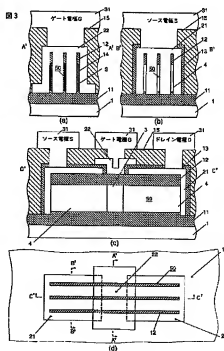
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 チャネル領域を挟んで対向するゲート同士的位置合わせずれが無く、寄生容量や特性ばらつきの小さなダブルゲートSOI構造のMOSFETを得る。

【構成】 基板1上の酸化膜11を介して豎立した複数のシリコン直方体50を設ける。この直方体の広い面積の表裏面の一部であるチャネル領域3に、ゲート酸化膜14を介して接する多結晶シリコン膜22を1回のホトエッチング工程でパターニングしてゲートを形成する。ソース・ドレイン領域4は、多結晶シリコン膜21によりアルミニウム31のそれぞれの電極S、Dへ引出される。直方体50間の間隙は、ゲート部(a)では多結晶シリコン膜21が、ソース部(b)及びドレイン部では多結晶シリコン膜22が埋め込まれる。



【特許請求の範囲】

【請求項1】支持基板上の第1の絶縁膜を介して並列に配置した複数のシリコン直方体を有し、各シリコン直方体の第1の絶縁膜に接する底面よりも広い表裏面とシリコン直方体の上面との一部を連続して覆うと共に、表裏面とはゲート絶縁膜を介し、上面とは第2の絶縁膜を介して形成されたゲートと、各シリコン直方体の一方の側面及びその側面近傍の表裏面から取り出されたソース引出し電極と、他方の側面及びその側面近傍の表裏面から取り出されたドレイン引出し電極とから構成され、更に各隣接する同一電極同士が電気的に接続されていることを特徴とする半導体装置。

【請求項2】前記第2の絶縁膜が、ゲート絶縁膜よりも厚いことを特徴とする請求項1記載の半導体装置。

【請求項3】並列に配置した隣接する前記シリコン直方体の間の一部に電極材料が埋め込まれて成る請求項1または請求項2に記載の半導体装置。

【請求項4】並列に配置した隣接する前記シリコン直方体の表裏面間の厚さが、実効ゲート長の1/2より薄いことを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】支持基板上に第1の絶縁膜、低不純物濃度の第1の半導体層、第2の絶縁膜を順次積層した状態に形成する工程と、該第2の絶縁膜と第1の半導体膜との多層膜を直立した直方体にパターニングし、トランジスタの活性領域を形成する工程と、該活性領域にゲート絶縁膜を形成後に直方体を覆うように高不純物濃度の第1の多結晶シリコン膜を堆積する工程と、該第1の多結晶シリコン膜を所望形状にパターニングしてゲートを形成する工程と、濃度差酸化により第1の多結晶シリコン膜の表面に厚い絶縁膜を形成すると共にソース・ドレインとなる低不純物濃度の第1の半導体層表面に薄い絶縁膜を形成する工程と、ソース・ドレイン領域の前記薄い絶縁膜を除去する工程と、高不純物濃度の第2の多結晶シリコン膜を堆積する工程と、該第2の多結晶シリコン膜を所望形状にパターニングしてソース・ドレイン引出し電極を形成する工程とから成ることを特徴とする半導体装置の製造方法。

【請求項6】高不純物濃度の前記第1及び第2の多結晶シリコン膜を堆積する少なくともいずれかの工程の代わりに、低不純物濃度の多結晶シリコン膜を堆積する工程と、該多結晶シリコン膜に不純物をドーピングして高濃度にする工程とが付加されて成る請求項5記載の半導体装置の製造方法。

【請求項7】支持基板上に、第1の絶縁膜、低不純物濃度の第1の半導体層、第2の絶縁膜を順次積層した状態に形成する工程と、第2の絶縁膜と第1の半導体層の多層膜を直立した直方体にパターニングし、トランジスタの活性領域を形成する工程と、該直方体の多層膜を覆うように高不純物濃度の第1の多結晶シリコン膜を堆積す

る工程と、該第1の多結晶シリコン膜を所望形状にパターニングしてソース・ドレイン引出し電極を形成する工程と、濃度差酸化により第1の多結晶シリコン膜の表面に厚い絶縁膜を形成すると共に低不純物濃度の第1の半導体層表面に薄い絶縁膜を形成する工程と、該薄い絶縁膜を覆うようにゲートを形成する工程とから成ることを特徴とする半導体装置の製造方法。

【請求項8】濃度差酸化後に低不純物濃度の第1の半導体層表面に形成された前記薄い絶縁膜を除去する工程と、再度ゲート酸化する工程とを更に付加して成る請求項7記載の半導体装置の製造方法。

【請求項9】高不純物濃度の前記第1の多結晶シリコン膜を堆積する工程の代わりに、低不純物濃度の多結晶シリコン膜を堆積する工程と、該多結晶シリコンに不純物をドーピングして高濃度にする工程とが付加されて成る請求項7又は請求項8に記載の半導体装置の製造方法。

【請求項10】前記第2の絶縁膜と第1の半導体膜との多層膜を直立した直方体にパターニングした後に酸化して、第1の半導体層表面に絶縁膜を形成する工程と、この絶縁膜及びこの絶縁膜の基板表面の絶縁膜を除去する工程とを更に付加して成る請求項5～9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】請求項1～4のいずれか1項に記載の半導体装置を備えることを特徴とする大規模集積回路。

【請求項12】請求項11記載の大規模集積回路を備えることを特徴とする高速大型計算機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に関し、詳しくは、一般にシリコン・オン・インシュレータ(Silicon On Insulator: SOI)と呼ばれる構造を有したMOS型電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor: MOSFET)に係り、微細で且つ極めて高速に動作することが可能な新規なダブルゲート構造の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、この種のSOI構造を有するMOSFETにおいて、通常のゲートの直下に、チャネル領域を挟んでもう一つのゲートを形成したダブルゲート構造に関する技術については、例えば、ソリッドステートエレクトロニクス、27巻、ナンバー8/9(1984年)、第827頁から828頁(Solid-State Electronics, Vol. 27, Nos. 8/9, pp. 827-828, 1984)に開示されている。SOI基板に形成したダブルゲート構造のMOSFETは、図5に示した断面構造と図6に示した平面構造を有している。ここで図5において、(a)、(b)、(c)は、図6中にA-A線、B-B線、C-C線それぞれ示した断面構造の模式図である。尚、図5以外の図においても、(a)、(b)及び(c)はそれぞれこれと同じ

位置及び方向で切断した場合の断面構造を示す。但し、図6の平面図は、マスクパターンのレイアウト模式図として示してある。

【0003】図5に示した従来のダブルゲートSOI構造のMOSFETは、下記の方法によって製造されていた。初めに、周知のMOSFETの製造方法を用いてバックゲートと呼ばれる下側のゲート23を形成する。これは、図示しない素子側シリコン基板を窒化膜をマスクにLOCOS酸化を行い酸化膜18を形成した後、窒化膜を除去した部分をゲート酸化してゲート酸化膜17を形成後、多結晶シリコンを堆積してパターンニングすることにより下側ゲート23を形成することができる。次に、酸化膜19をCVD (Chemical Vapor Deposition) 法等を用いて厚く堆積し、この酸化膜19の表面を研磨及び研磨によって平坦化する。

【0004】この後、酸化膜19と支持基板6上にあらかじめ形成された酸化膜7とを直接貼合わせる。この貼合わせ技術は、張り貼合わせするべき両表面を極度に平坦にし、且つ、無塵雰囲気中において上記酸化膜19の表面と酸化膜7を互いに対向させ、両者に適当な圧力を加えることによって、接着剤を用いることなく貼合わせを行うものである。この場合、酸化膜7と酸化膜19とは境界無く一体化された酸化膜となる。

【0005】次に、素子側シリコン基板を研磨及び研磨して薄膜化することにより、薄いSOI層5が形成される。この後、SOI層5をゲート酸化し、上側ゲート酸化膜14を形成し、更に多結晶シリコンを堆積してバックゲート23に含ませてパターンニングすることによりフロントゲートと呼ばれる上側のゲート10を形成し、ダブルゲート構造を形成していた。尚、図5において、参照符号4はソース・ドレイン領域、13、15は酸化膜、16は側壁酸化膜、31はアルミニウムなどの金属電極、40はコンタクト孔である。

【0006】

【発明が解決しようとする課題】しかしながら、前述した従来のダブルゲートSOI構造のMOSFETは、フロントゲート10がバックゲート23と重なるようにパターンニングしなければならない。これらのゲートの加工には、通常のホトエッチング技術を用いていたため、位置合わせずれの問題が避けられなかった。特に、フロントゲート10に対してソース及びドレイン拡散層は自己整合となるが、バックゲート23に対しては自己整合とならないため、ソース・ゲート間及びドレイン・ゲート間の容量増加や特性ばらつき等の増加等の問題を生じていた。

【0007】更に、電流駆動能力等の素子特性を向上させるために、チャネルとなる素子側シリコン基板すなわちSOI層5を極端に薄膜化すると、膜厚ばらつき等の特性に与える影響が顕著となること、及び高価な超薄膜SOI基板を用いる必要があることから、製品価格の上昇

は避けられなかった。また、ゲート幅を増加すると構造的にトランジスタの占有面積の増加が避けられないこと、及びゲートの加工にホトエッチング工程を2回用いる必要があることから、通常のシングルゲートSOI構造のMOSFETに比べ製造工程が複雑となり、これによる製品価格の上昇も避けられなかった。

【0008】そこで、本発明の目的は、寄生容量や特性ばらつきのないダブルゲートSOI構造の半導体装置及びその製造方法を提供することにある。また、本発明の他の目的は、従来に比較して占有ゲート幅に対する実効ゲート幅の割合が大きく、しかも微細で高性能なダブルゲートSOI構造の半導体装置及びその製造方法を提供することにある。更に、本発明の他の目的は、製造工程が通常のMOSFETの製造方法と同等であり、製造価格の上昇を回避することができるダブルゲートSOI構造の半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために、本発明に係る半導体装置は、図1に示すように、支持基板すなわちシリコン基板1上の第1の絶縁膜である二酸化シリコン膜(以下、単に酸化膜と称する)11を介して並列に配置した複数のシリコン直方体を有し、各シリコン直方体の酸化膜11に接する底面よりも広い表裏面とシリコン直方体の上面との一部を連続して覆うと共に、表裏面とはゲート酸化膜14を介し、上面とは第2の絶縁膜すなわち酸化膜12を介して形成された多結晶シリコン22のゲートと、各シリコン直方体の一方の側面及びその側面近傍の表裏面から取り出されたソース引出し電極と、他方の側面及びその側面近傍の表裏面から取り出されたドレイン引出し電極とから構成され、更に各隣接する同一電極同士が電気的に接続されていることを特徴とするものである。

【0010】そして、前記半導体装置において、第2の絶縁膜すなわち酸化膜12が、ゲート酸化膜14よりも厚く形成されていれば好適である。また、並列に配置した隣接する前記シリコン直方体の間の一部に電極材料すなわち、図1で言えば、多結晶シリコン21、22が埋め込まれていることが望ましい。

【0011】更に、並列に配置した隣接する前記シリコン直方体の表裏面間の厚さが実効ゲート長の1/2より薄く形成されていれば好適である。

【0012】そして、前記目的を達成するために、本発明に係る半導体装置の製造方法は、支持基板上に第1の絶縁膜、低不純物濃度の第1の半導体層、第2の絶縁膜を順次積層した状態に形成する工程、すなわち図9で言えば、シリコン基板1上に酸化膜11、単結晶シリコン層2、酸化膜12を順次備えた積層基板を形成する工程と、図10に示すように酸化膜12と単結晶シリコン層2との多層膜を聳立した直方体にパターンニングし、トラ

ンジスタの活性領域3を形成する工程と、この活性領域にゲート酸化膜14を形成後に直方体を覆うように高不純物濃度の第1の多結晶シリコン膜すなわち多結晶シリコン膜22を堆積する工程と、図11に示すように多結晶シリコン膜22を所望形状にパターンニングしてゲートを形成する工程と、濃度差酸化により多結晶シリコン膜22の表面に厚い酸化膜13を形成すると共にソース・ドレインとなる低不純物濃度の単結晶シリコン層2の表面に薄い酸化膜を形成する工程と、ソース・ドレイン領域の前記薄い酸化膜を除去する工程と、高不純物濃度の第2の多結晶シリコン膜21を堆積する工程と、多結晶シリコン膜21を所望形状にパターンニングしてソース・ドレイン引出し電極を形成する工程とから成ることを特徴とするものである。

【0013】この場合、高不純物濃度の前記第1及び第2の多結晶シリコン膜21、22を堆積する少くともいずれかの工程の代わりに、低不純物濃度の多結晶シリコン膜を堆積する工程と、この多結晶シリコン膜に不純物をドーピングして高濃度にする工程とを付加してもよい。

【0014】また、支持基板上に、第1の絶縁膜、低不純物濃度の第1の半導体層、第2の絶縁膜すなわち図15で言えば、シリコン基板1上に酸化膜11、単結晶シリコン層2、酸化膜12を順次積層した状態に形成する工程と、図16に示すように酸化膜12と単結晶シリコン層2との多層膜を覆うように直方体にパターンニングし、トランジスタの活性領域3を形成する工程と、前記直方体の多層膜を覆うように高不純物濃度の第1の多結晶シリコン膜を堆積する工程と、図17に示すように第1の多結晶シリコン膜すなわち多結晶シリコン膜21を所望形状にパターンニングしてソース・ドレイン引出し電極を形成する工程と、濃度差酸化により多結晶シリコン膜21の表面に厚い酸化膜13を形成すると共に低不純物濃度の単結晶シリコン層2の表面に薄い酸化膜を形成する工程と、この薄い酸化膜を覆うようにゲートを形成する工程とから成る半導体装置の製造方法とすることによっても前記目的を達成することができる。この場合、濃度差酸化後に低不純物濃度の第1の半導体層すなわち単結晶シリコン層2の表面の薄い酸化膜を除去する工程と、再度ゲート酸化化する工程とを更に付加してもよい。

【0015】また、高不純物濃度の前記第1の多結晶シリコン膜21を堆積する工程の代わりに、低不純物濃度の多結晶シリコン膜を堆積する工程と、この多結晶シリコン膜に不純物をドーピングして高濃度にする工程とを付加することもできる。

【0016】更に、前記いずれの製造方法においても、第2の絶縁膜と第1の半導体膜との多層膜を覆った直方体にパターンニングした後に、第1の半導体層表面を酸化して絶縁膜を形成する工程と、この絶縁膜及びこの膜厚分の基板表面の絶縁膜を除去する工程とを更に付加してもよい。

【0017】また、大規模集積回路を前記いずれかの半導体装置を備えて構成すれば好適である。更に、前記大規模集積回路を備えた高速大型計算機を構成することもできる。

【0018】

【作用】本発明の半導体装置によれば、支持基板上の第1の絶縁膜を介して並列に配置した複数のシリコン直方体に対してゲートを、それぞれのシリコン直方体の一部に、表裏面とはゲート絶縁膜を介して、上面とは第2の絶縁膜を介して連続したゲートを設け、側面からソース及びドレイン電極を取り出して各隣接する同一電極同士を接続した構造とすることにより、シリコン直方体の一部をチャネル領域とすると共にチャネル領域を挟むダブルゲートSOI構造のMOSFETが構成される。そして本発明の半導体装置の製造方法によれば、ゲート絶縁膜は1回のゲート酸化で表裏面に形成するのでも表裏面のゲート絶縁膜が等しく形成される。更にゲートのホトエッチング工程は1回だけで形成でき、しかもシリコン直方体の表裏面に連続した電極であるから、表裏面に対向するフロントゲートとバックゲートの位置合わせがされない。従って、ソース・ゲート間及びドレイン・ゲート間の容量増加や特性ばらつきが増加が生じることはない。

【0019】また、シリコン直方体の上面に設けた第2絶縁膜をゲート絶縁膜表裏面のゲート絶縁膜の膜厚よりも厚くすることにより、シリコン直方体の上面に接するゲート部分は、ゲートとして働かず表裏面のフロントゲートとバックゲートとして働くゲート部分をつなぐ配線として作用する。更に、シリコン直方体の間に一部に電極材料が埋め込まれた構造とすることにより、並列するシリコン直方体を安定に支持することができる。

【0020】また、並列に配置した隣接するシリコン直方体の表裏面間の厚さが実効ゲート長の1/2より薄くした構造とすることにより、チャネル領域に完全に空乏化して、ゲート長が短くてもソース・ドレイン間のパルスレートを抑制するの短チャネル効果を除去できる。

【0021】上述したように、本発明の半導体装置は、並列配置した各シリコン直方体の一部をチャネル領域としたことにより、この並列配置した各シリコン直方体のチャネル領域の寸法とチャネル領域間の間隔を変化させることで、実効的なゲート幅を変化できる。このため、基板に垂直な方向の各シリコン直方体の高さ、すなわちSOI膜厚であるチャネル領域の寸法を大きく、且つ各シリコン直方体間の間隔すなわちチャネル領域間の線渡し間隔を小さくすることにより、占有ゲート幅に対して実効的なゲート幅を増加することができる。以下、この関係を図7及び図8を用いて説明する。

【0022】図7は、基板に垂直な方向のチャネル領域の寸法すなわちSOI膜厚を d 、チャネル領域間の線渡し間隔を p として、 $d=0.50\mu\text{m}$ 、 $p=0.25\mu$

m一定とした場合の、占有ゲート幅 W と実効ゲート幅 W_{eff} の関係を示したものである。本発明に係るダブルゲートSOI構造の半導体装置は、ほとんどの占有ゲート幅 W において、従来型のダブルゲートSOI構造のMOSEFTに比べて大きな実効ゲート幅 W_{eff} を確保できることが分かる。ここで、図7において本発明の半導体装置の実効ゲート幅 W_{eff} が占有ゲート幅 W に対して階段状に変化しているのは、チャネル領域を一つ追加することにより、最低でも繰返し間隔 p の占有ゲート幅が必要なことによる。

【0023】図8は占有ゲート幅 W を $5\mu m$ 一定とし、チャネル領域間の繰返し間隔 p をパラメータに、SOI膜厚 d と実効ゲート幅 W_{eff} の関係を示したものである。SOI膜厚 d を大きく、或いは繰返し間隔 p を小さくすることで、実効ゲート幅 W_{eff} を増加できることが分かる。

【0024】このことから、本構造を用いることで微細化が容易となり、高性能なダブルゲートSOI構造のMOSEFTの実現が可能となる。更に、電流駆動能力等の素子特性を向上させるために、SOI基板の上側のシリコン層すなわち従来例のようにSOI層5の厚さを極端に薄くする必要が無いこと、ゲートの加工を1回のホトエッチング工程で行うため、製造工程が通常のMOSEFT型トランジスタの製造方法と同等であり、製造価格の上昇を回避することができる。

【0025】

【実施例】次に、本発明に係る半導体装置及びその製造方法の実施例につき、添付図面を参照しながら以下詳細に説明する。尚、添付図面において、理解を容易にするために要部は他の部分よりも拡大されて示されている。また、各部の材質、導電型、及び製造条件等は、本実施例の記載に限定されるものではないことは言うまでもない。

【0026】<実施例1>第1の実施例について、図1及び図2を用いて説明する。図1は本発明に係る半導体装置の一実施例を示すダブルゲートSOI構造のMOSEFTの要部断面構造図であり、図2はその平面構造を模式的に示したレイアウトパターン図である。ここで、図1において、(a)、(b)、(c)は、図2中にそれぞれA-A線、B-B線、C-C線で示した部分の各断面を示したものである。尚、図1以外の図においても、(a)、(b)及び(c)は図1と同じ方向の断面構造を示す。

【0027】図1に示すように、本発明の半導体装置はシリコン基板1上の酸化膜11を介して並列に配置した複数の薄いシリコンの直方体（本実施例の場合、3本の薄いシリコン直方体）50が直立している。このシリコン直方体50は、後述する半導体装置の製造方法で示す単結晶シリコン層2から形成されている。図1(a)のゲート部分の断面図および図2(c)のシリコン直方体

50のチャネル方向部分の断面図に示したように、シリコン直方体50の表裏面のゲート用多結晶シリコン膜22の直下にはゲート酸化膜14が設けられ、ゲート酸化膜14の下に単結晶シリコン層はチャネル領域であり、本実施例ではp形不純物層3を設けている。尚、ここでは、シリコン直方体50の酸化膜11に接する底面よりも広い対向する一対の面を表裏面と呼び、チャネル方向の対向する一対の面を側面と呼ぶ。また、図1(c)ではゲート酸化膜14の下は全てp形不純物層3としているが、p形不純物層3は要求される素子のしきい値等々の素子特性によっては無くても、或いは一部の領域であっても構わない。シリコン直方体50の上面の多結晶シリコン膜22の直下には、ゲート酸化膜14よりも厚い酸化膜12が設けられている。図1(a)のゲート部分の断面図から分かるように、ゲートとなる多結晶シリコン膜22は、並列して直立する薄い複数のシリコン直方体50の表裏面及び上面を覆うと共に間隙も埋めるように設けられ、更にコンタクト孔40の幅と同程度の厚いシリコン直方体55上でアルミニウム31からなるゲート電極Gに接続されている。尚、厚いシリコン直方体55を設けない場合には、酸化膜11上の多結晶シリコン膜22に酸化膜15に設けたコンタクト孔40を通して層く厚さのアルミニウム31を用いられよい。

【0028】図1(b)のソース電極S部分の断面図及び図2(c)の断面図に示したように、シリコン直方体50にはソース・ドレイン領域にn形拡散層4が設けられ、シリコン直方体50の両側面はそれぞれソース引出し用とドレイン引出し用の高濃度にドーピングされた多結晶シリコン膜21と接続されると共にソース同士及びドレイン同士を並列接続している。この多結晶シリコン膜21は酸化膜15に設けたコンタクト孔40を通してアルミニウム31からなるソース電極S及びドレイン電極Dにそれぞれ接続されている。また、ゲート用の多結晶シリコン膜22とソース及びドレイン引出し用の多結晶シリコン膜21とは、酸化膜11を介して絶縁されている。並列するシリコン直方体50の両側面付近の間隙は、ソース取り出し用及びドレイン取り出し用の多結晶シリコン膜21でそれぞれ埋め込まれた構造となっていると共に並列配置されたシリコン直方体のそれぞれのソース同士及びドレイン同士を並列接続されている。

【0029】このような構造を有する図1及び図2で示した本実施例の半導体装置は、チャネルとなるシリコン層を直立した直方体に加工しこれを並列に配置しているため、占有ゲート幅当たりの実効ゲート幅の割合が大きく微細化が容易であること、後述するようにダブルゲートは1回のホトエッチング工程で形成することができるため、工程が簡単であること、及び加工精度が高く高性能であることなどの利点を有している。

【0030】また、本構造の半導体装置において、シリコン直方体50の表裏面の厚さを実効ゲート長の1/

2程度に設定すれば、チャネル領域を表裏面間で挟むダブルゲートにより容易にチャネル領域を完全に空乏化できるので、短チャネル化しても、ソース・ドレイン間のパンチスルーを抑制でき、短チャネル効果を除去できる。従って、従来の、この短チャネル効果を抑制するために設けていたチャネル領域への高不純物濃度の導入が必要となるので、チャネル領域の不純物濃度を低減でき、電流駆動能力が向上する利点もある。

【0031】以下、図1に示る本発明に係る半導体装置の製造方法の一例を図9～図14を用いて、それぞれ下記の(1)～(6)において順に説明する。ここで、図9～図14は、本実施例による半導体装置の製造工程を順に示した断面構造であり、図1の断面構造となる前までの構造を示している。

【0032】(1) 図9を参照して、始めに周知のSOI技術を用いて、シリコン基板1上に酸化膜11と、この上に単結晶シリコン層2を備えたSOI基板を形成する。すなわち、支持基板となるシリコン基板1および素子側基板となる単結晶シリコン基板2の枚の枚数にそれぞれ酸化膜を熱酸化或いはCVD法等を用いて形成し、それぞれ或いはいずれか一方の酸化膜表面を研削・研磨して平坦にした後、表面を清浄にして酸化膜同士を対向させ、熱圧着することにより酸化膜同士が一体化して酸化膜11となり、シリコン基板1と素子側基板が酸化膜11を介して接着する。素子側基板を研削・研磨して所要厚さの単結晶シリコン層2とすることにより、SOI基板が形成される。このようにして形成されたSOI基板上に、酸化膜12をCVD法により堆積し、シリコン基板1、酸化膜11、単結晶シリコン層2、及び酸化膜12の4層が順次積層された積層基板を形成する。その際、これ以後の製造工程における異方性ドライエッチングにより、後にソース・ドレインとなる単結晶シリコン層2の変形が生じるのを防止するために、最上層の酸化膜12の膜厚を十分に厚く形成する。例えば、単結晶シリコン層2の厚さが500nm程度であれば、酸化膜12の膜厚は少なくとも100nm程度とするのが望ましい。

【0033】(2) 図10を参照して、次に、ホットエッチング技術を用いて、ホトレジストのパターンを形成後このホトレジストパターンをマスクに酸化膜12を先ず異方性ドライエッチングし、更にこのホトレジスト付きの酸化膜12をマスクにシリコンがエッチングしやすい条件に变更后異方性ドライエッチングを行い、単結晶シリコン層2をパターンニングして、例えば表裏面間の厚さが50nm程度の薄いシリコン直方体50が並列した構造および後でゲート電極Gとの接続部となる厚いシリコン直方体55を形成する。尚、この時、酸化膜11の表面も若干エッチングしてシリコン直方体50、55の下面が完全に隣接するシリコン直方体と分離されるようにしている。勿論、隣接するシリコン直方体間でシリコン

残渣などによるリークや短絡などの素子特性への影響があれば、酸化膜11の表面に合わせてジャストエッチングしても良い。この後、イオン打ち込み技術を用いて単結晶シリコン層2へ硼素を注入し、続いて例えば、800～900℃、60分程度の熱処理を施し、後にチャネル領域となるp形不純物層3を形成する。このとき、酸化膜12と単結晶シリコン層2のパターンニングの後に基板表面を酸化し、この酸化膜厚分だけ表面の酸化膜を除去することにより、更に微細な、例えば前述したようにシリコン直方体50の表裏面間の厚さが実効ゲート長の1/2程度に薄くして短チャネルを形成できるようにしても良い。次にゲート酸化を行い、例えば、膜厚5nmのゲート酸化膜14を形成する。この時、表裏面に等しい厚さのゲート酸化膜が形成できるので、従来例の異なるフロントゲートとバックゲートのゲート酸化膜厚が異なり、特性がばらつくことはない。

【0034】この様に、本発明のダブルゲートSOI構造のMOSFETは、単結晶シリコン層2を異方性ドライエッチングを用いて直方体に加えて上面に酸化膜12を有するシリコン直方体50を形成し、このシリコン直方体50の一部をチャネル領域として使用する。このため、このチャネル領域の、基板に垂直方向の寸法とチャネル領域間の繰返し間隔を変化することにより、実効的なゲート幅を変化させることができ、トランジスタの微細化並びに高性能化が可能となる。更に、電流駆動能力等の素子特性を向上させるために、従来のようにSOI基板の上側の単結晶シリコン層の厚さを極端に薄くする必要がなくなり、製造価格の上昇を回避することができ、

【0035】(3) 図11を参照して、次に、基板表面に 10^{20}cm^{-3} 以上の高濃度のn形不純物を含む多結晶シリコン膜22を、CVD法により、同図(a)に示すように断面が楕円の形状に並んで見えるシリコン直方体50間の間隙が埋まる程度の厚さ、すなわち少なくとも並列するシリコン直方体50間の間隔の1/2の厚さとなるように堆積する。この後、周知のホットエッチング技術を用いて、同図(a)、(c)に示したようにゲートとなる部分を残す様に多結晶シリコン膜22をパターンニングする。ゲートとなる部分の多結晶シリコン膜22は、シリコン直方体50の表裏面の一部のチャネル領域となる部分にゲート酸化膜14を介し、シリコン直方体50の上面では酸化膜12を介して覆うと共に、厚いシリコン直方体55の部分まで延在して形成される。なお、高濃度のn形不純物を含む多結晶シリコン膜22を堆積する代わりに、低不純物濃度の多結晶シリコン膜を増積後、イオン打ち込みにより不純物注入を行って高不純物濃度の多結晶シリコン膜にしても良いし、或いはタンガステン等の金属材料を用いても良い。この様に、ゲートの加工を1回のホットエッチング工程で行うため、従来例で述

べたようなチャネル領域を挟んで対向するダブルゲートの位置合わせずれの問題が生じることは無く、寄生容量やトランジスタ特性のばらつきが低減できる。更に、製造工程数が通常のシングルゲートのMOS型トランジスタと同等となり、製造価格の上昇を回避することができる。

【0036】(4) 図12を参照して；次に、シリコンの酸化速度の不純物濃度依存性を応用して、高濃度に不純物ドーパされた多結晶シリコン22の表面を厚く酸化し、例えば50nm程度の厚さの酸化膜13を設ける。同時に、 10^{17}cm^{-3} 以下の低濃度に不純物ドーパしたソース・ドレイン領域となるp形不純物層3の表面が薄く酸化される。この後、この濃度差酸化によって形成したソース・ドレインとの領域の薄い酸化膜を除去する。

【0037】(5) 図13を参照して；次に、基板表面に高濃度のn形不純物を含む多結晶シリコン膜21をCVD法により堆積する。この時の厚さはゲート用の多結晶シリコン膜22を堆積したときと同様に、シリコン立方体50間の間隙が図面(b)に示すように多結晶シリコン膜21で埋め込まれるように少なくともシリコン立方体50間の間隙の1/2の厚さに堆積する。次に、ソース・ドレインを形成する領域となる部分のp形不純物層3を覆うように、多結晶シリコン膜21を異方性ドライエッチングを用いてパターニングする。なお、高濃度のn形不純物を含む多結晶シリコン膜21を堆積する代わりに、低不純物濃度の多結晶シリコン膜を堆積後、イオン打ち込みにより不純物注入を行って高不純物濃度の多結晶シリコン膜にしても良いし、或いはタングステン等の金属材料を用いても良い。

【0038】(6) 図14を参照して；この後、例えば850℃30分程度の熱処理を施し、n形の多結晶シリコン膜21から不純物を拡散して図面(c)に示すようにチャネル領域のp形不純物層3を挟むソース・ドレインとなるn形拡散層4を形成する。次に、基板表面に酸化膜15を設け、ホットエッチング技術を用いて所要箇所コンタクト孔を形成する。

【0039】以上の(1)～(6)で説明した製造工程を経た後、アルミニウム電極を形成すれば、図1に示した安で、高性能なダブルゲートSOI構造のMOSFETを実現することができる。

【0040】<実施例2>第2の実施例について、図3及び図4を用いて説明する。図3は本発明に係る半導体装置の別の実施例を示すダブルゲートSOI構造のMOSFETの要部断面構造図であり、図4はその平面構造を模式的に示したレイアウトパターン図である。ここで、図3において、(a)、(b)、(c)は、図4中にそれぞれA-A線、B-B線、C-C線で示した部分の各断面を示したものであり、図3(d)は理解を容易にするために、アルミニウム31、酸化膜13、15を除き、

更に多結晶シリコン膜21、22を介してシリコン立方体50の上面の酸化膜12が透けて見えるように便宜的に描いた平面図である。尚、後述する図15～図20の図においても、(a)、(b)及び(c)は図3と同じ方向の断面構造を示す。また、図3において、実施例1の図1で示した部分と同一の構成部分については、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、図3に示す構造のMOSFETは、ゲート用多結晶シリコン膜22を介したゲート電極Gの取り出し部の構造が相違している。

【0041】図3(a)、(c)と図1(a)、(c)とを比較すれば分かるように、ゲート用多結晶シリコン膜22及びゲート電極Gは、並列配置のシリコン立方体50の真上から取り出されており、図1のようにシリコン立方体50まで多結晶シリコン膜22を引き回して取り出していない。このような構造とすることにより、実施例1の利点に加えて、更にゲートが断線したり高抵抗となる心配も無くなると共に、後述するようにゲートの加工をソース・ドレイン形成後に行うことができるため、更にゲート信頼性が向上し、ゲート材料を選択する自由度も高くなるので、金属材料などを用いて低抵抗のゲートを形成することができる。

【0042】以下、図3に示した本発明に係る半導体装置の製造方法の一例を図15～図20を用いて、それぞれ下記の(7)～(12)において順に説明する。ここで、図15～図20は、本実施例による半導体装置の製造工程を順に示した断面構造であり、図3の断面構造となる前までの構造を示している。

【0043】(7) 図15を参照して；始めに周知SOI技術を用いて、シリコン基板1上に酸化膜11と、この上に単結晶シリコン層2を備えたSOI基板を形成する。このSOI基板を形成するに際して、図9を参照しながら実施例1の(1)において説明した方法を用いれば良い。この後、酸化膜12をCVD法により堆積し、シリコン基板1、酸化膜11、単結晶シリコン層2、及び酸化膜12の4層が順次積層された積層基板を形成する。その際、実施例1と同様にこれ以後の製造工程における異方性ドライエッチングにより、後にソース・ドレインとなる単結晶シリコン層2の実形が生じるのを防止するために、最上層の酸化膜12の膜厚を十分に厚く形成する。例えば、単結晶シリコン層2の厚さが50nm程度であれば、酸化膜12の膜厚は少なくとも100nm程度とするのが望ましい。

【0044】(8) 図16を参照して；次に、ホットエッチング技術を用いてホトレジストパターンを形成後このホトレジストパターンをマスクに酸化膜12を先ず異方性ドライエッチングし、更にこのホトレジスト付きの酸化膜12をマスクにシリコンがエッチングしやすい条件に変えて異方性ドライエッチングを行い、単結晶シリコン層2をパターニングする。この後、イオン打ち込み技

術を用いて単結晶シリコン層2へp形不純物の遷素を注入し、続いて例えば、 $800 \sim 900^\circ\text{C}$ 、60分程度の熱処理を施し、後にチャネル領域となるp形拡散層3を形成する。ここで、基板表面を酸化し、この酸化膜厚分だけ表面の酸化膜を除去することにより、更に微細な、例えばシリコン直立方体50の表裏面間の厚さが実効ゲート長1の1/2程度に薄くして短チャネルを形成できるようにしても良い。

【0045】(9) 図17を参照して；この後、基板表面に 10^{20}cm^{-3} 以上の高濃度のn形不純物を含む多結晶シリコン膜21をCVD法により堆積する。この時の厚さは、シリコン直立方体50間の間隙が図(b)に示すように多結晶シリコン膜21で埋め込まれるように少なくともシリコン直立方体50の間隙の1/2の厚さに堆積する。この後、図(b)、(c)に示したようにソース・ドレインとなる部分を残す様に、異方性ドライエッチングを用いて、多結晶シリコン膜21をパターンニングする。

【0046】(10) 図18を参照して；次に、シリコンの酸化速度の不純物濃度依存性を応用して、例えば 850°C 、30分程度の熱処理を行い、高濃度に不純物ドーパされた多結晶シリコン膜21の表面を厚く酸化し、例えば、 50nm 程度の厚さの酸化膜13を設ける。これと同時に、 10^{17}cm^{-3} 以下の低濃度に不純物ドーパしたチャネル領域となるp形不純物層3の表面が薄く酸化される。更に、このときの熱処理により、高濃度のn形にドーパされた多結晶シリコン膜21から不純物が拡散し、ソース・ドレインとなるn形拡散層4を形成する。この後、この濃度差酸化によって形成したチャネル領域の表裏面の薄い酸化膜を除去する。次に、シリコン直立方体50のチャネル領域の表裏面を再度酸化して例えば、 5nm 厚さのゲート酸化膜14を形成する。なお、濃度差酸化によって形成したチャネル領域の表裏面の薄い酸化膜を、ゲート酸化膜として用いても良い。

【0047】(11) 図19を参照して；この後、基板表面に 10^{20}cm^{-3} 以上の高濃度のn形不純物を含む多結晶シリコン膜22をCVD法により堆積する。この時の厚さはソース・ドレイン引出し電極用の多結晶シリコン膜21を堆積したときと同様に、シリコン直立方体50間の間隙が図(a)に示すように多結晶シリコン膜21で埋め込まれるように少なくともシリコン直立方体50間の間隙の1/2の厚さに堆積する。次に、チャネル領域となるp形拡散層3を覆うように、多結晶シリコン膜22を異方性ドライエッチングを用いてパターンニングしてゲートを形成する。このようにゲートの加工をソース・ドレイン形成後に行うので、ゲート材料として高濃度のn形不純物を含む多結晶シリコン膜22を用いて形成する代わりに、タングステン等の低抵抗の金属材料を用いても良い。

【0048】(12) 図20を参照して；次に、基板表

面に酸化膜15を設け、ホトエッチング技術を用いて所要箇所コンタクト孔を形成する。

【0049】以上の(7)～(12)で説明した製造工程を終えた後、アルミニウム電極を形成すれば、図3に示した安価で、トランジスタ特性のばつぎが少なく、且つ微細で高性能なダブルゲートSOI構造のMOSFETを実現することができる。

【0050】<実施例3>次に、第3の実施例について図21を用いて説明する。図21は、本発明に係る半導体装置を適用した大規模集積回路を有する高速大型計算機の一側を示す構成図である。前述した本発明のダブルゲートSOI構造のMOSFETを用いることにより高速シリコン半導体集積回路の集積度を高くできるため、命令や演算を処理するプロセッサ500や、システム制御装置501や、主記憶装置502などに適用して、1辺が約 $10 \sim 30\text{mm}$ の大きさのシリコン半導体チップで構成することができた。これらの命令や演算を処理するプロセッサ500と、システム制御装置501と、本発明のダブルゲートSOI構造のMOSFETを用いた高速シリコン半導体集積回路並びに化合物半導体集積回路からなるデータ通信インタフェース503とを、同一セラミック基板506に実装した。また、データ通信インタフェース503とデータ通信制御装置504を、同一セラミック基板507に実装した。これらセラミック基板506並びに507と、主記憶装置502を実装したセラミック基板を、大きさが約 50cm 程度、あるいはそれ以下の基板に実装し、大型計算機の中央処理ユニット508を構成した。この中央処理ユニット508内データ通信や、複数の中央処理ユニット間データ通信、あるいはデータ通信インタフェース503と入力制御装置505を実装した基板509との間のデータの通信は、図中の開閉矢印線で示した光ファイバ510を介して行なった。

【0051】このように構成した大型計算機では、命令や演算を処理するプロセッサ500や、システム制御装置501や、主記憶装置502などのシリコン半導体集積回路が並列で高速に動作し、また、データの通信を光を媒体に行なったため、1秒間当たりの命令処理回数を大幅に増加することができた。更に、シリコン半導体集積回路に使用されているダブルゲートSOI構造の本発明に係る半導体装置は、従来に比べて安価なSOI基板で製造できるため、製品価格の上昇を抑えて、より高速演算処理が可能な大型計算機を実現することができた。

【0052】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更、例えば、実施例ではnチャネルMOSFETについて説明したが導電性を変えることによりpチャネルMOSFETとすることもできるし、並列配置の壁立したシリコン直立方体の数や表裏面の厚さ及び高さ、不純物濃度

等の変更をなし得ることは勿論である。

【0053】

【発明の効果】前述した実施例から明らかなように、本発明によれば、ゲートを1回のホトエッチング工程で形成できるため、チャネルを挟んで対向するゲートの位置合わせずれが生じる問題が無くなり、寄生容量や特性ばらつきの少ないダブルゲートSOI構造のMOSFETを実現することができる。また、SOI基板のシリコン層を異方性ドライエッチングを用いて豎立した直方体に加工し、この一部をチャネル領域とし、この豎立した直方体を並列に配置することにより、占有ゲート幅に対して実効的なゲート幅を増加したダブルゲートSOI構造のMOSFETを得ることができる。更に、製造工程数が通常のシングルゲートのMOSFETの製造方法と同等であるため、製造価格の上昇を回避することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施例を示す断面構造図であり、(a)ゲート部分、(b)はソース部分、(c)はチャネル部分の概略をそれぞれ示す断面図である。

【図2】図1に示した本発明に係る半導体装置の平面構造の概略を示すレイアウトパターン図である。

【図3】本発明に係る半導体装置の別の実施例を示す断面構造図であり、(a)はゲート部分、(b)はソース部分、(c)はチャネル部分の概略をそれぞれ示す断面図であり、(d)は多結晶シリコン膜21、22と豎立した直方体50を示す概略平面図である。

【図4】図3に示した本発明に係る半導体装置の平面構造の概略を示すレイアウトパターン図である。

【図5】従来のダブルゲートSOI構造のMOSFETを示す断面構造図であり、(a)はゲート部分、(b)はソース部分、(c)はチャネル部分の概略をそれぞれ示す断面図である。

【図6】図5に示した従来の半導体装置の平面構造の概略を示すレイアウトパターン図である。

【図7】本発明に係る半導体装置における占有ゲート幅と実効ゲート幅の関係を示す図である。

【図8】本発明に係る半導体装置におけるSOI膜厚と実効ゲート幅の関係をチャネル繰り返し間隔をパラメータにして示した図である。

【図9】図1に示した半導体装置の製造方法を説明するための途中工程における断面構造図であり、(a)はゲート部分、(b)はソース部分、(c)はチャネル部分の概略をそれぞれ示す図である。

【図10】図9に示した各部分の次の製造工程における断面構造図である。

【図11】図10に示した各部分の次の製造工程における断面構造図である。

【図12】図11に示した各部分の次の製造工程にお

ける断面構造図である。

【図13】図12に示した各部分の次の製造工程における断面構造図である。

【図14】図13に示した各部分の次の製造工程における断面構造図である。

【図15】図3に示した半導体装置の製造方法を説明するための途中工程における断面構造図であり、(a)はゲート部分、(b)はソース部分、(c)はチャネル部分の概略をそれぞれ示す図である。

【図16】図15に示した各部分の次の製造工程における断面構造図である。

【図17】図16に示した各部分の次の製造工程における断面構造図である。

【図18】図17に示した各部分の次の製造工程における断面構造図である。

【図19】図18に示した各部分の次の製造工程における断面構造図である。

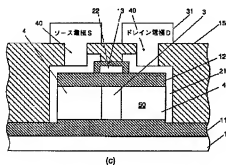
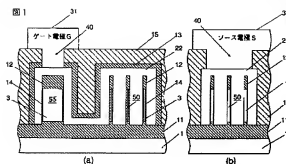
【図20】図19に示した各部分の次の製造工程における断面構造図である。

【図21】本発明に係る半導体装置を好適に適用し得る大型計算機の構成例を示す図である。

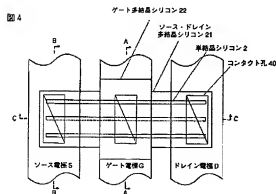
【符号の説明】

- 1…シリコン基板（支持基板）、
- 2…単結晶シリコン層（素子側基板）、
- 3…p 形拡散層（チャネル領域、活性領域）、
- 4…n 形拡散層（ソース・ドレイン領域）、
- 5…SOI層、
- 6…支持基板、
- 7…酸化膜、
- 10…ゲート、
- 11、12、13、15…二酸化シリコン膜（酸化膜）、
- 14、17…ゲート酸化膜、
- 16、18、19…二酸化シリコン膜（酸化膜）、
- 21…多結晶シリコン膜、
- 22、23…多結晶シリコン膜（ゲート）、
- 31…アルミニウム、
- 40…コンタクト孔、
- 50、55…シリコン直方体、
- 500…プロセス、
- 501…システム制御装置、
- 502…主記憶装置、
- 503…データ通信インターフェース、
- 504…データ通信制御装置、
- 505…入出力プロセッサ、
- 506、507…セラミック基板、
- 508…中央処理ユニット、
- 509…入出力プロセッサ実装基板、
- 510…データ通信光ファイバ。

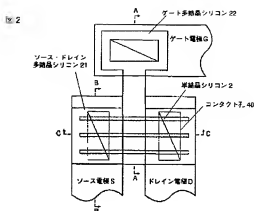
【図 1】



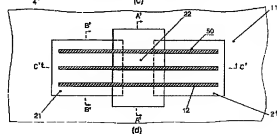
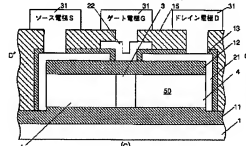
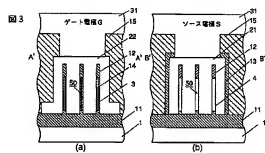
【図 4】



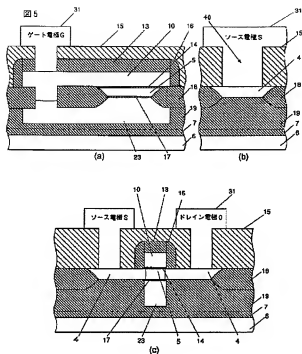
【図 2】



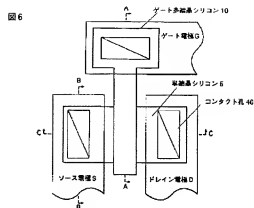
【図 3】



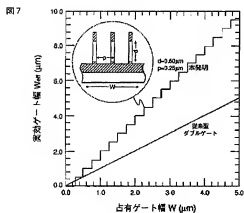
【図5】



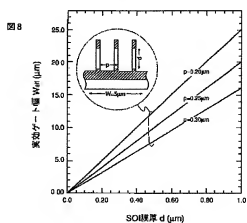
【図6】



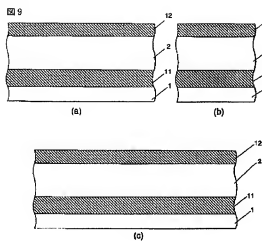
【図7】



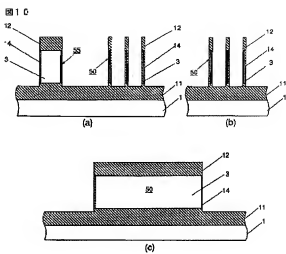
【図8】



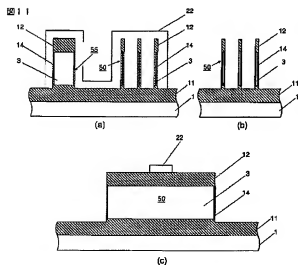
【圖 9】



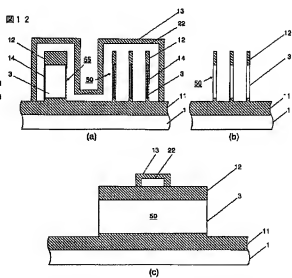
【圖 10】



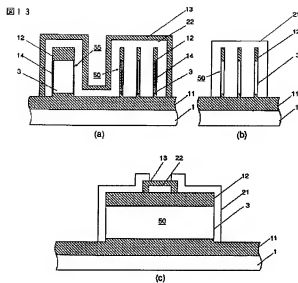
【圖 11】



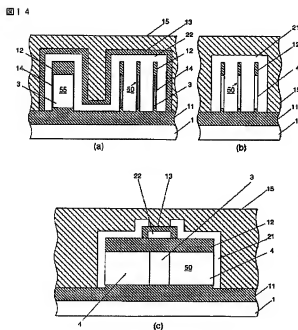
【圖 12】



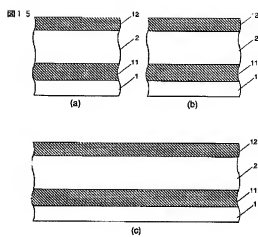
【圖 13】



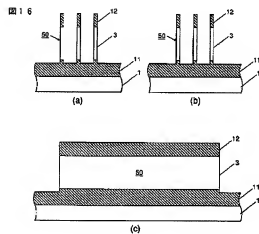
【圖 14】



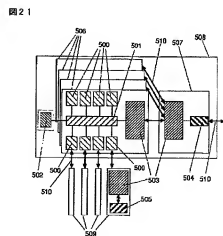
【圖 15】



【圖 16】

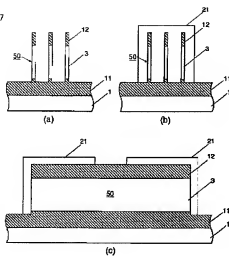


【圖 21】



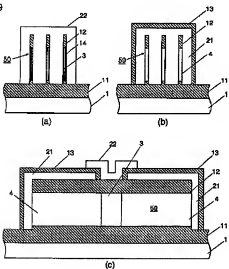
【図 17】

図 17



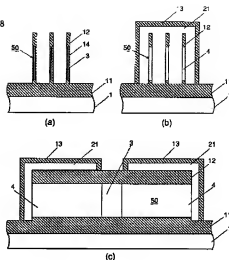
【図 19】

図 19



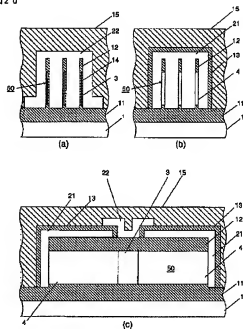
【図 18】

図 18



【図 20】

図 20



フロントページの続き

(72)発明者 清田 幸弘
東京都分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 内野 俊
東京都分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 大西 和博

東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内

(72) 発明者 芝 健夫

東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内